

УДК 681.3.181.48

Ждан В.Т., Лисарский А.В., Тимофеев С.Б. Средства отладки микропроцессорных систем // Научное приборостроение. Л.: Наука, 1987.

Описана система на базе микроЭВМ-прототипа, позволяющая с малыми аппаратными средствами вести программирование микропроцессоров К 580 ИК 80. Приведены функциональные схемы отдельных устройств системы. Библиогр.3 назв. Ил.5.

В.Т.Ждан, А.В.Писарский, С.Б.Тимофеев
СРЕДСТВА ОТЛАДКИ МИКРОПРОЦЕССОРНЫХ СИСТЕМ

Необходимость упрощения разработки микропроцессорных систем приводит к созданию аппаратно-программных средств проектирования. Проблемы создания подобных комплексов не возникало при использовании больших и малых ЭВМ, в составе которых развитая сеть периферийного оборудования и необходимое программное обеспечение [1-3] .

Применение микропроцессоров (МП) чаще ограничивается созданием контроллеров, рабочие программы которых хранятся в постоянных запоминающих устройствах (ПЗУ). В этом случае путь, принятый ранее - загрузка программы и затем ее отладка, становится неприемлемым. Минимальный комплект подобного комплекса должен включать в себя микроЭВМ, большой объем ОЗУ, накопители на магнитных носителях, видеотерминал с клавиатурой, программатор ПЗУ. Программные средства отладки содержат редактор текста, отладчики, трансляторы, загрузчик отладочного модуля. Однако в случае создания несложных программ для МП системой отладки может быть микроЭВМ-прототип, с широким набором устройств связи с объектом (параллельный, последовательный интерфейсы, платы ЦАП, АЦП, таймер и т.п.). Если в качестве программной памяти используются ПЗУ, необходимо иметь такую же сменную плату ОЗУ.

Стенд отладки укомплектован пультом, с которого можно останавливать МП и контролировать содержимое ячеек памяти и регистров общего назначения (рис.1). Плата центрального процессора выполнена

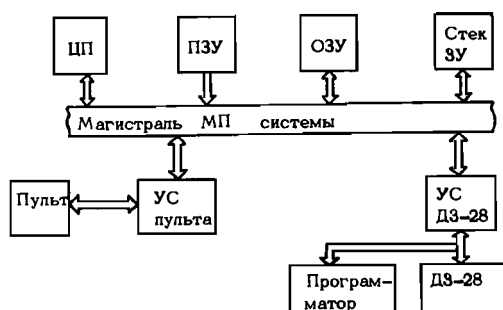


Рис.1. Структурная схема стенда отладки.

по одной из известных схем для МП - КР 580 ИК 80А. Генератор синхросигналов выполнен на инверторах серии К 531 и вырабатывает сигналы частотой 10 МГц, поступающие на вход счетчика-делителя на пять, собранного на триггерах серии К 531. Выходы счетчика подаются на комбинационную схему, формирующую синхросерию частотой 2 МГц. Регистр состояний на К 589 ИР 12 служит для приема и хранения указателей состояния микропроцессора. На плате процессора расположен блок приоритетных прерыва-

WR - вывод.

Важным элементом отладки является пульт управления, который обеспечивает установку микроЭМ в исходное состояние и ее пуск, обращение к ячейкам памяти, загрузку данных в память через аккумулятор процессора и задание шаговой работы МП. Конструктивно устройство разделено на пульт и устройство связи. На пульте расположены клавиши ввода шестнадцатиричных чисел 0,1... F, девять клавиш пультовых команд и два восьмиразрядных семисегментных индикатора АИС 318. Клавиши пульта функционально разделены на две матрицы (рис.3). Преобразование матричного кода в шестнадцатиричный осуществляется дешифратором на микросхеме ПЛУЗ 155

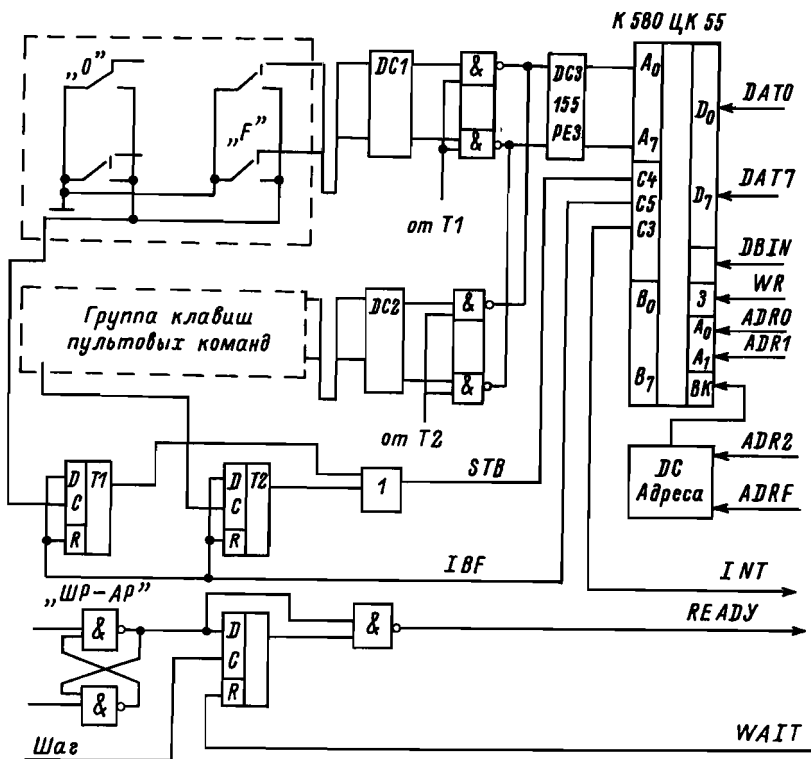


Рис.3. Функциональная схема пульта отладки.

РЕЗ. По фронту, вырабатываемому при нажатии любой из клавиш первой или второй группы, за исключением ШАГОВЫЙ РЕЖИМ, АВТОМАТИЧЕСКИЙ РЕЖИМ, ШАГ, СЕРВОС, срабатывает соответственно первый или второй D-триггеры, выходы которых, объединенные схемой ИЛИ формируют сигнал STB и определяют момент загрузки данных во входной регистр БИС параллельного интерфейса КР 580 ИК 55. Ответным сигналом IBF - триггеры возвращаются в исходное состояние. Код, принятый МП по программе обслуживания прерывания, вызывает обращение к соответствующей подпрограмме. Триггер ШР-АР в положении ШР устанавливает на шине READY уровень логического нуля и переводит МП в состояние WAIT. Нажатие на клавишу ШАГ опрокидывает триггер

ТЗ на один машинный цикл и устанавливает на шине *READY* уровень логической единицы. Вывод адресной информации и данных на индикационные табло (на рисунке не показано) осуществляется по командам обращения МП к памяти. При этом адреса индикаторов входят в адресное пространство ОЗУ. Память для индикаторов построена на микросхемах К 155 РПИ. При этом упрощается схема динамической индикации, так как исключается дешифратор состояний счетчика и мультиплексеры разрядов. Преобразование шестнадцатиричного кода регистровой памяти в семисегментный код осуществляется дешифратором К 155 РЕЗ.

Плата связи с управляющим вычислительным устройством ДЗ-28 (рис.4) позволя-

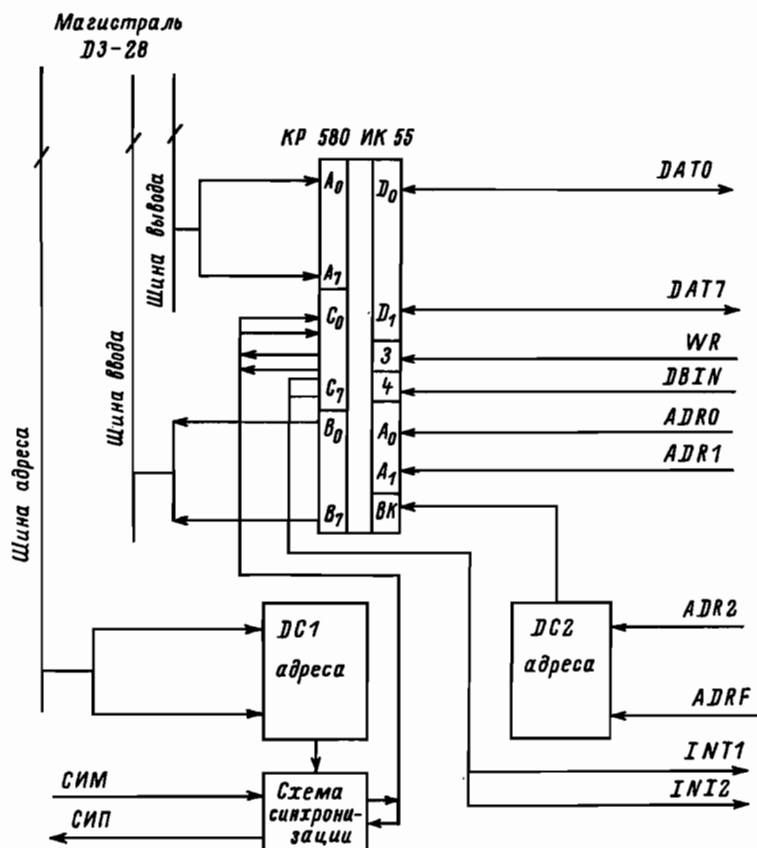


Рис.4. Устройство связи магистралей ДЗ-28 и МП К 580 ИК 80.

ет вести асинхронный обмен информацией между ОЗУ ДЗ-28 и ОЗУ МП системы. Каналы А и В БИС параллельного интерфейса настраиваются на ввод и вывод соответственно. При такой конфигурации КР 580 ИК 55 легко организовать синхронизацию обмена между магистралью МП системы и магистралью микроЭВМ ДЗ-28. Интерфейс ДЗ-28 содержит восемь шин адреса, восемь шин ввода, восемь шин вывода и две шины обмена синхросигналами СИМ, СИП. Использование ДЗ-28 вместе с ОЗУ емкостью до 32 кбайт, встроенными ИМЛ, клавиатурой, индикаторными табло упрощает процесс отладки программ. В памяти МЛ хранятся рабочие программы, подпрограммы тестирования ОЗУ и

внешних устройств, загрузчик и подпрограммы обслуживания программатора.

Программатор предназначен для занесения информации в микросхемы ПЗУ КР 556 РТ4, РТ5 из ОЗУ ДЗ-28. В основу работы программатора заложен принцип последовательности операций поразрядной записи в микросхемы ПЗУ и затем побайтного считывания. Запись осуществляется подачей серии импульсов повышенного напряжения на выходы микросхем, выводы питания и вход выборки. Функциональная схема устройства представлена на рис.5. Адрес ячейки памяти хранится в регистре $RG-1$. В регистр сдвига $RG-2$ заносится код данных. Опрокидывание триггера Т1 и наличие логи-

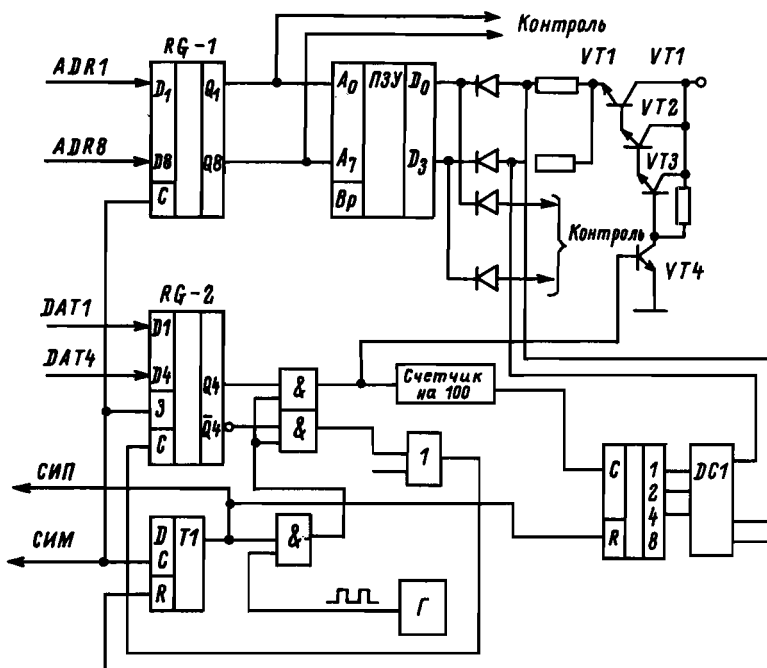


Рис.5. Функциональная схема программатора.

ческой единицы на выходе регистра сдвига служат разрешением для запуска серии импульсов на ключевую схему VT1-VT4. Длительность каждого импульса в пачке $\tau_n \approx 10$ мс, количество импульсов задается счетчиком СТ-1 и равно 100. По окончании серии происходит сдвиг на один разряд регистра $RG-2$ и изменение кода дешифратора DC1. При наличии логического нуля на выходе регистра $RG-2$ следующим же импульсом генератора операция сдвига повторяется до появления на выходе $RG-2$ логической единицы. В этом случае запускается очередная серия импульсов. Коммутация выходов микросхемы ПЗУ осуществляется диодным переключателем в соответствии с кодом дешифратора DC1. Контроль занесения информации производится считыванием кода адреса и данных через вентиляные регистры.

ЛИТЕРАТУРА

1. Каган Б.М., Сташин В.В. Микропроцессоры в цифровых системах. М., 1979.
2. Нестеренко С.А. Методы внутрисхемной эмуляции при отладке микропроцессорных систем// Обзоры по электронной технике. Сер.3, Микроэлектроника. М., 1981. Вып.6.
3. Вальков В.М. Автоматизирование системы тестового контроля и испытаний средств микропроцессорной техники// Обзоры по электронной технике. Сер.8, Микроэлектроника. М., 1982. Вып.3.